

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196082

(43)Date of publication of application : 14.07.2000

(51)Int.Cl. H01L 29/78
H01L 21/28

(21)Application number : 11-348056 (71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 07.12.1999 (72)Inventor : LEE SANG-MOO
KIM HYEON SOO
YEO IN SEOK

(30)Priority

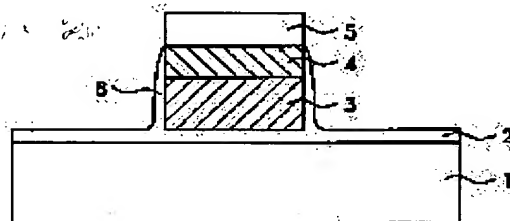
Priority number : 98 9857252 Priority date : 22.12.1998 Priority country : KR

(54) METHOD OF FORMING GATE ELECTRODE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a method of forming a gate electrode of a semiconductor for easily forming the gate electrode by the resistance of a tungsten silicide, when the low-resistance tungsten silicide is used as a gate electrode material.

SOLUTION: The method includes a step of successively evaporating a gate oxide film 2 and an amorphous silicon film 3 on a semiconductor wafer 1, a step of forming a tungsten silicide film 4 on the amorphous silicon film 3, a step of forming a mask oxide film 5 patterned with a gate electrode film pattern on the tungsten silicide film 4, a step of etching the tungsten silicide film 4, the amorphous silicon film 3 and the gate etching oxide film 2 by using the mask oxide film pattern, a step of forming a gate electrode by having RPT spike subjected to annealing on the amorphous silicon film and the tungsten silicide film 4, and a step of finishing the gate electrode by forming an oxide film 6 on the side surface of the gate electrode.



LEGAL STATUS

[Date of request for examination] 18.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196082

(P2000-196082A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/28	3 0 1	21/28	3 0 1 D

審査請求 未請求 請求項の数7 O L (全4頁)

(21) 出願番号 特願平11-348056

(22) 出願日 平成11年12月7日 (1999.12.7)

(31) 優先権主張番号 1998/P57252

(32) 優先日 平成10年12月22日 (1998.12.22)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111
現代電子産業株式会社
大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 李 相 武
大韓民国 京畿道 利川市 夫鉢邑 牙美里 699-7 現代 3次アパート 301-307

(72) 発明者 金 鉉 修
大韓民国 慶尚北道 慶山市 珍良面 坪沙里 70番地

(74) 代理人 100093399
弁理士 瀬谷 徹 (外1名)

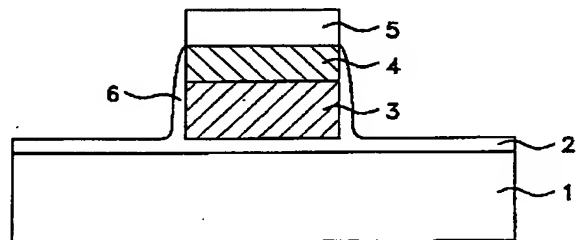
最終頁に続く

(54) 【発明の名称】 半導体素子のゲート電極形成方法

(57) 【要約】 (修正有)

【課題】 ゲート電極物質として低抵抗のタングステンシリサイドを用いる場合に、タングステンシリサイドの抵抗を低減させ、ゲート電極の形成を容易にするための半導体素子のゲート電極形成方法を提供する。

【解決手段】 半導体基板1の上にゲート酸化膜2及び非晶質シリコン膜3を順次蒸着する段階；前記非晶質シリコン膜の上にタングステンシリサイド膜4を形成する段階；前記タングステンシリサイド膜の上にゲート電極パターンでパターンニングしたマスク酸化膜5を形成する段階；前記マスク酸化膜パターンを用いてその下のタングステンシリサイド膜4、非晶質シリコン膜3及びゲート酸化膜2をエッチングする段階；前記形成された非晶質シリコン膜と前記タングステンシリサイド膜にRTPスパイクアニールを行って、ゲート電極を形成する段階；及び前記形成されたゲート電極の側面に酸化膜6を形成してゲート電極が完成する段階を含む。



【特許請求の範囲】

【請求項 1】 半導体基板上にゲート酸化膜及び非晶質シリコン膜を順次蒸着する段階；前記非晶質シリコン膜の上にタングステンシリサイド膜を形成する段階；前記タングステンシリサイド膜の上にゲート電極パターンでパターンニングしたマスク酸化膜を形成する段階；前記マスク酸化膜パターンを用いてその下のタングステンシリサイド膜、非晶質シリコン膜及びゲート酸化膜をエッチングする段階；前記形成された非晶質シリコン膜と前記タングステンシリサイド膜に RTP スパイクアニールを行って、ゲート電極を形成する段階；及び、前記形成されたゲート電極の側面に酸化膜を形成してゲート電極を完成する段階を含むことを特徴とする半導体素子のゲート電極形成方法。

【請求項 2】 前記タングステンシリサイドの Si : W の比率を 1 : 1 ~ 2 : 1 として形成することを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【請求項 3】 前記 RTP スパイクアニールは、遅延時間が 0.1 ~ 1.0 秒、傾斜率が 150 °C / sec ~ 250 °C / sec、前記遅延時間における温度が 950 °C ~ 1200 °C の条件で、N₂ または NH₃ ガス雰囲気下で行われることを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【請求項 4】 前記ゲート酸化膜、非晶質シリコン膜及びタングステンシリサイド膜はインーシチュで形成されることを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【請求項 5】 前記タングステンシリサイドは DCS (SiH₂Cl₂) ガスと WF₆ ガスを用いて CVD 法で形成されることを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【請求項 6】 前記非晶質シリコン膜は 1000 ~ 1200 Å の厚さで形成されることを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【請求項 7】 前記タングステンシリサイド膜は、800 ~ 1000 Å の厚さで形成されることを特徴とする請求項 1 記載の半導体素子のゲート電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子のゲート電極形成方法に関し、特に、ゲート電極物質として、低抵抗のタングステンシリサイドを用いる場合、タングステンシリサイドの抵抗を低減させ、ゲート電極の形成を容易にするための半導体素子のゲート電極形成方法に関する。

【0002】

【従来の技術】 一般に、64 MDRAM 以上の高集積素子において、一般的にゲート電極材料として CVD タングステンシリサイド薄膜が用いられているが、特に MS (monosilane) タングステンシリサイドよりも F 不純物

の少ない DCS (dichlorosilane) タングステンシリサイドの方が GOI 特性で優れていることから広く用いられている。しかし、DCS タングステンシリサイドは抵抗が高いため、1 GDRAM 以上の高集積素子適用することは困難である。そこで、この問題を解決するために、RTP スパイクアニール (spike anneal) を用いて低抵抗のポリシリサイド構造のゲート電極を形成する方法が提案されている。この方法では、タングステンリッチのタングステンシリサイド層が無定形のシリコン層の上に沈着している。RTP スパイクアニールは、その後、無定形シリコンをタングステンと反応させるために行われる。次いで、タングステンシリサイド層と無定形シリコン層は、ポリシリサイド構造のゲート電極を形成するためにエッチングされる。

【0003】

【発明が解決しようとする課題】 しかしながら、前記技術では、ゲート電極を形成するためのエッチング工程前に高温の RTP スパイクアニールによってゲート電極内の非晶質シリコンが多結晶シリコンに変化し、また、タングステンシリサイドの結晶が六角形からグレイン (grain) の大きさが大きい四角形に変化する。このため、多結晶シリコンとタングステンシリサイドの界面が不均一になってエッチング工程が難しく、ゲート電極の下の薄いゲート酸化膜まで全てエッチングされて素子に深刻な影響を与えるという問題がある。

【0004】 本発明はかかる問題点を鑑みてなされたもので、その目的は、ゲート電極のエッチングを容易にする為に、非晶質シリコン、タングステンシリサイド及びマスク酸化膜等、ゲート電極に適用される薄膜を全て蒸着した後、パターンニングしてゲート電極をエッチングし、この後、RTP スパイクアニール工程を行うゲート電極形成方法を提供することにある。

【0005】 本発明の他の目的は、タングステンシリサイドの抵抗を下げる為に、タングステンシリサイドの Si : W 比率を従来より下げて蒸着した後、RTP スパイクアニール工程を行って、低抵抗タングステンシリサイドゲート電極形成方法を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するために、本発明の半導体素子のゲート電極形成方法は、半導体基板の上にゲート酸化膜及び非晶質シリコン膜を順次蒸着する段階；前記非晶質シリコン膜の上にタングステンシリサイド膜を形成する段階；前記タングステンシリサイド膜の上にゲート電極パターンでパターンニングしたマスク酸化膜を形成する段階；前記マスク酸化膜パターンを用いてその下のタングステンシリサイド膜、非晶質シリコン膜及びゲート酸化膜をエッチングする段階；前記形成された非晶質シリコン膜と前記タングステンシリサイド膜に RTP スパイクアニールを行って、ゲート電極を形成する段階；及び前記形成されたゲート電極の側

面に酸化膜を形成してゲート電極が完成する段階を含むことを特徴とする。

【0007】

【発明の実施の形態】以下、添付図面にに基づき、本発明の好適実施例を詳細に説明する。本発明は、非晶質シリコン、タングステンシリサイド及びマスク酸化膜等、ゲート電極に適用される薄膜を全て蒸着した後、パターンニングしてゲート電極をエッチングし、この後、RTPスパイクアニール工程によってゲート電極の形成を容易にする。また、タングステンシリサイドのSi:W比率を従来より下げて蒸着した後、RTPスパイクアニール工程を行って低抵抗タングステンシリサイドを提供する技術である。

【0008】図1はRTPスパイクアニールの概念を説明するためのグラフである。RTPスパイクアニール工程とは、短時間に常温から目標温度まで昇温させた後、目標温度でほぼ遅延なしにすぐ常温に温度を降下する熱処理工程（傾斜率：150°C/sec以上、遅延時間：1sec以下）をいう。

【0009】図2乃至図4は、本発明によるゲート電極形成方法を工程順に示す図である。まず、図2に示すように、半導体基板1の上にゲート酸化膜2と非晶質シリコン膜3、DCSタングステンシリサイド膜4をインシチュ（in-situ）で順に形成する。このとき、DCSタングステンシリサイドは、DCS（SiH₂Cl₂）ガスとWF₆。ガスをを用いてCVD方法で形成することが望ましく、前記タングステンシリサイドは、従来よりSi:W比率を下げて1:1~2:1の割合で蒸着する。また、後続工程のRTPスパイクアニールを行う際に、非晶質シリコンとタングステンシリサイドが互いに反応することで、非晶質シリコンの厚さは低減され、タングステンシリサイドの厚さは増加する。これを考慮して、前記非晶質シリコンとタングステンシリサイド厚を加減して蒸着する。望ましくは、非晶質シリコン膜3の厚さは1000~1200Å、タングステンシリサイド膜の厚さは800~1000Åで形成する。

【0010】次に、図3に示すように、前記タングステンシリサイド膜4の上にマスク酸化膜5として例えばPECVD酸化膜を形成した後、これを所定のマスクを用いてパターンニングし、この後、このように形成されたマスク酸化膜パターン5を用いてその下のタングステンシリサイド膜4、非晶質シリコン層3及びゲート酸化膜2をエッチングしてゲート電極を形成する。

【0011】続いて、前記形成された非結晶シリコン膜3とタングステンシリサイド膜4を図1で説明したRTPスパイクアニールにより熱処理する。このとき、RTPスパイクアニールは、遅延時間を0.1~1.0秒、傾斜率を150°C/sec~250°C/sec、前記遅延時間における温度を950°C~1200°Cの条件で、N₂またはNH₃ガス雰囲気下で行うことが望ましい。RT

Pスパイクアニールの際、非晶質シリコンとタングステンシリサイドが反応して非晶質シリコンの厚さが減少するため、すでにRTPスパイクアニール後にゲート電極内で要求される多結晶シリコンの厚さよりも200~300Å程度厚く非晶質シリコンを蒸着する。エッチング工程において、非晶質シリコンが厚いほどエッチングは容易になるエッチング特性を持つので、上記のように非晶質シリコンを厚く形成すれば、ゲート電極形成のためのエッチング工程は一層容易になる。

【0012】次に、図4に示すように、O₂酸化工程を行って前記形成されたゲート電極側面に酸化膜6を形成することによってゲート電極が完成する。

【0013】図5乃至図6は従来技術及び本発明によるタングステンシリサイドの抵抗を示すグラフである。図5によれば、1000Åの厚さを持つタングステンシリサイドに対して、NH₃雰囲気下で、950°C、1000°C、1050°Cのアニール温度でRTPアニールを行ったとき、それぞれ13.8、9.6、7.9（ohm/sq）の抵抗を持つことになる。

【0014】図6によれば、1000Åの厚さを持つタングステンシリサイドに対して、NH₃雰囲気下で、950°C、1000°C、1050°Cの目標温度で、1秒の遅延時間DでRTPアニールを行ったとき、それぞれ7.5、5.4、4.3（ohm/sq）の抵抗を持つことになる。

【0015】尚、本発明は、本実施例に限られるものではない。本発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。

【0016】

【発明の効果】以上説明のように本発明によれば、タングステンシリサイドの高抵抗を減少させて1GDRAM以上の高集積素子でも適用できるようにし、従来のゲート電極材料を使用することで新しいゲート電極材料を開発するのにかかる費用を低減できる。

【0017】また、低抵抗タングステンシリサイドをゲート電極材料として用いるとき、ゲート電極形成のためのエッチング工程時に発生する問題点を解決することができることから、高集積素子の適用時、均一な低抵抗タングステンシリサイドゲート電極を形成できる。

【図面の簡単な説明】

【図1】RTPスパイクアニールの特徴を示すグラフである。

【図2】本発明による半導体素子のゲート電極形成方法を工程順に示す図である。

【図3】本発明による半導体素子のゲート電極形成方法を工程順に示す図である。

【図4】本発明による半導体素子のゲート電極形成方法を工程順に示す図である。

【図5】従来技術及び本発明によるタングステンシリサイドの抵抗を示すグラフである。

【図6】従来技術及び本発明によるタングステンシリサイドの抵抗を示すグラフである。

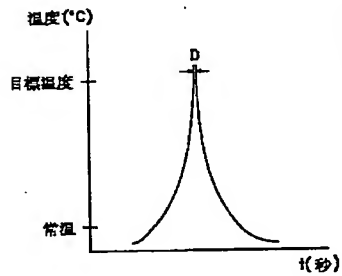
【符号の説明】

- 1 半導体基板
2 ゲート酸化膜

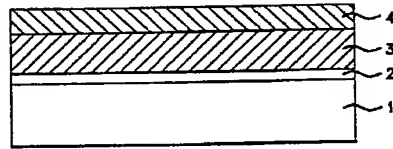
- * 3 非晶質シリコン膜
4 タングステンシリサイド膜
5 マスク酸化膜
6 酸化膜

*

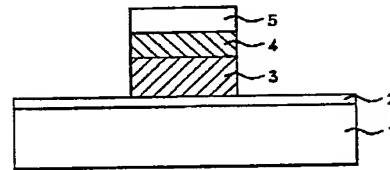
【図1】



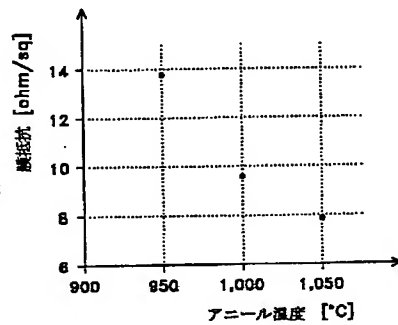
【図2】



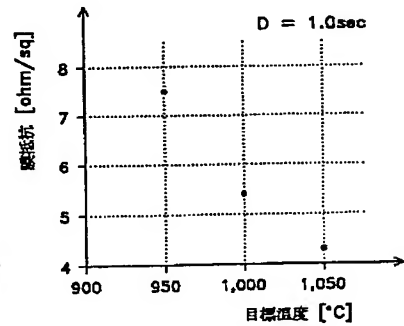
【図3】



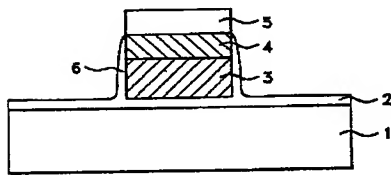
【図5】



【図6】



【図4】



フロントページの続き

(72)発明者 呂 寅 碩

大韓民国 京畿道 城南市 盆唐區 ソヒ
ョン洞 ハンシンアパート 124-202